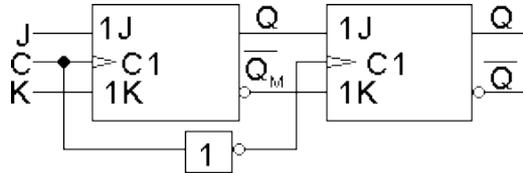


## 1. Wirkungsweise MS\_FF

Alle zweiflankengesteuerten Flip-Flops sind Master-Slave-Flip-Flops. Sie reagieren auf die positive, wie auch auf die negative Taktflanke.

Bei der positiven Taktflanke werden die am Eingang anstehenden Daten eingelesen. Bei der negativen Taktflanke werden die Daten verzögert ausgegeben

### Schaltungsprinzip: Beispiel an einem JK-MS-FF



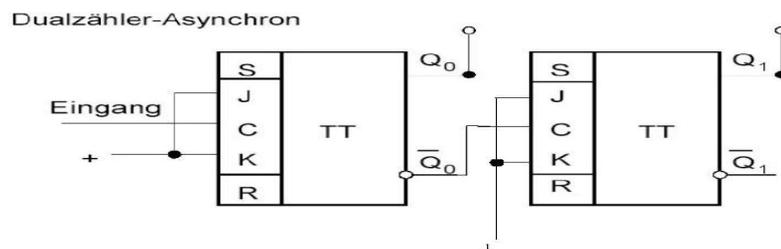
Das JK-MS-Flip-Flop besteht aus zwei einzelnen JK-Flip-Flops, die direkt miteinander verbunden sind. Die Ausgänge des ersten, dem Master-Flip-Flop sind auf die Eingänge des zweiten, dem Slave-Flip-Flop geschaltet. Damit das Slave-Flip-Flop auf die fallende Flanke reagiert wird der Takteingang mit einer NICHT-Verknüpfung negiert.

Mit der positiven Taktflanke wird der Flip-Flop-Zustand eingelesen.

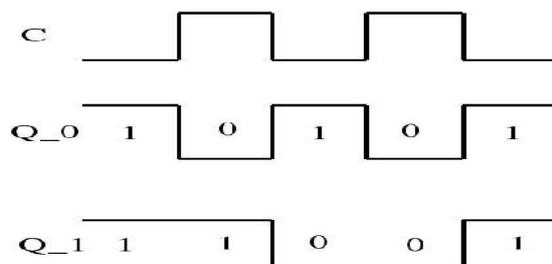
Mit der negativen Taktflanke wird der Zustand an den Ausgang weitergegeben.

**Anwendung** Zähler, Speicher

## 2. Dualzähler asynchron



### Impulsdiagramm



## 3. Signalprozessoren Anwendung/Besonderheiten

umfangreiche Anwendungen in

-Meßtechnik (z.B. Vorteile digitaler Signalgeneratoren: frei programmierbare Kurvenformen, hohe Pegelgenauigkeit, hohe Frequenzgenauigkeit und -stabilität)

-Hochgeschwindigkeitssteuerungen (HD-Controller, Motorsteuerungen usw.)

-Bildverarbeitung

-Sprachverarbeitung

-Nachrichtentechnik (bzw. Anwendungen in der digitalen Signalverarbeitung allgemein, eignen sich besonders zum Einsatz in Echtzeitverarbeitungssystemen. Signalprozessoren ersetzen oft analoge Schaltungen bzw. Einheiten, wie z.B. Filter)

Vorteile digitaler Filter:

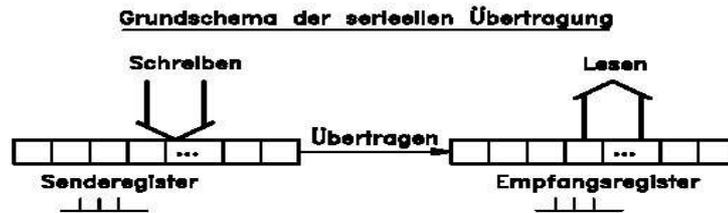
-keine Alterung (vgl. Kapazitätsveränderungen eines Kondensators im analogen Filter!)

- keine Drifts
- kein Abgleich erforderlich
- Unabhängigkeit des Ausgangssignalwertes gegenüber Schwankungen der Versorgungsspannung

**Besonderheiten:**

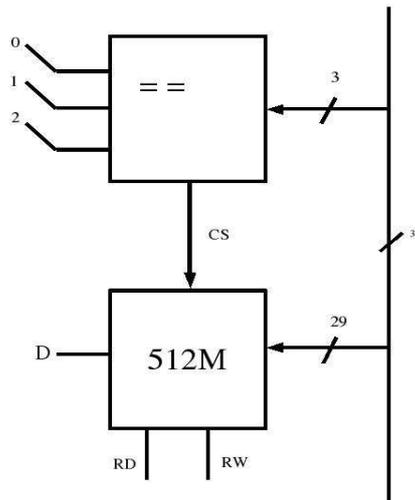
- getrennte Speicher und Busse zum parallelen Zugriff auf Programme und Daten
- spezieller Befehlssatz auf Anwendung ausgerichtet
- mehrere Operationen parallel ausgeführt (Befehlspipelining)
- schnelle Verarbeitung von Signalen

**4.asynchrone serielle Übertragung**



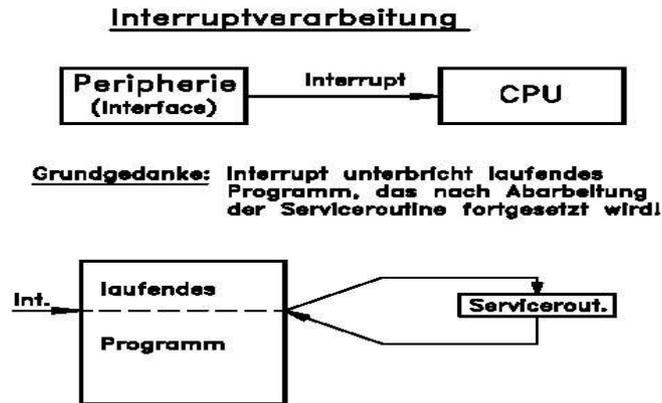
- Hardwarevoraussetzung: gleiche Taktfrequenz, phasenstarre Kopplung  
 Softwarevoraussetzung:selbes Übertragungsformat (Parität, Start/Stop Bits, Daten Bits)
- Versuch Verbindung zwischen den Rechnern aufzubauen (Initialisierung der Interfaces)
  - Senderegister wird beschrieben
  - signalisieren das Daten vorliegen
  - Empfangsregister überprüfen ob Daten aufgenommen werden können -->JA? wird auch signalisiert; NEIN? passiert nichts
  - bei JA erfolgt Übertragung, wenn NEIN wird gewartet bis Empfangsregister Daten aufnehmen kann oder Senderegister Daten enthält
  - wenn Übertragung komplett, dann erfolgt das Einlesen des übertragenen Wertes aus dem Register zur Weiterverarbeitung
- Asynchronbetrieb: Synchronisationsinformationen in Datensätzen enthalten

**5.Adressierung von Speicherbaugruppen**



- 4 G Adressraum wird in 8x 512M durch 3 Jumper ( $2^3=8$ ) aufgeteilt
- Startadressen der Segmente werden durch Jumper bestimmt

## 6. Interrupt



- E/A fordert beim Interruptcontroller einen Interrupt an
- IC setzt Priorität der Anfrage und gibt sie an die CPU weiter
- CPU bewilligt (oder auch nicht)
- IC gibt an den Datenbus die Startadresse der Serviceroutine
- CPU unterbricht das aktuell laufende Programm, die gerade bearbeiteten Daten werden auf dem STACK gesichert
- CPU holt sich Adresse der Serviceroutine, arbeitet sie ab und kehrt zurück, holt Daten vom STACK und setzt Hauptprogramm fort

## 7. Timer

- enthalten programmierbare Zähler
  - dienen zur Erzeugung von bestimmbarer Verzögerungszeiten
  - bekommen bestimmten Wert
  - Zählen abwärts
  - bei 0 wird Interrupt ausgelöst
  - CPU kann Zählstand auszählen
- Zähler: CPU gibt Betriebsart und Startwert, Zähler gibt Interrupt an IC  
Zeitgeber: CPU gibt Betriebsart und Startwert, IC gibt Takt an Peripherie

## 8. DMA (direct memory access)

Zweck: CPU von der einfachen und zeitraubenden Aufgabe der Datenübertragung zwischen Speicher und Peripherie- Bausteinen(bzw. dem Speicher selbst) zu entlasten.

Zusammenspiel:

- CPU versorgt DMA Controller mit notwendigen Informationen zur Datenübertragung (DMA wird über zugewiesener Adresse angesprochen)
- Übertragene Daten: Startadresse, Zieladresse, Datenmenge, lesen/schreiben?, allgemeine Steuerungsinformationen
- alles weitere wird durch DMA Controller ausgeführt (CPU gibt Kontrolle über den Systembus an DMA Controller ab)
- CPU arbeiten intern weiter darf aber nicht auf Systembus zugreifen
- Zugriffskonflikte werden durch Steuerleitungen HOLD und HOLDA vermieden
- HOLD: DMA Controller fordert exclusive Zugriffsrechte auf Systembus
- HOLDA: Zugriff wird von CPU gewährt
- weitere Steuerleitungen:  
REQ Peripherie fordert Transfer beim Controller  
ACK Controller bestätigt Aufforderung der Peripherie

END Ende der Übertragung (kann auch benutzt werden um Übertragungen abzubrechen)

Datenübertragung:

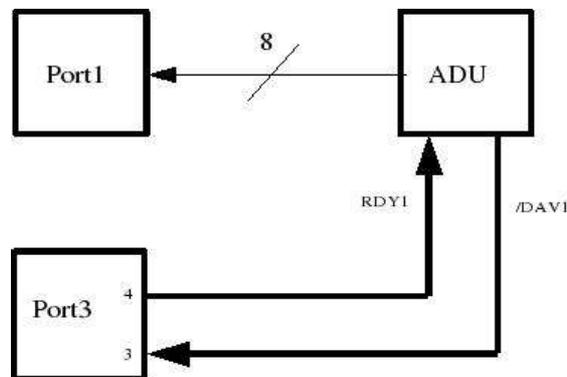
direkt : E/A direkt an Datenbus gekoppelt

indirekt: Zwischenspeicherung im DMA Controller

Übertragungsarten:

Einzel-Datentransfer, Blocktransfer, Transfer auf Anforderung

### 9.ADU an Z8



-Ports werden durch Steuerworte initialisiert

Port1: |X|X|X|0|1|1|1|X|X| -->0C H

Port3: |X|0|X|1|1|1|0|X|X|--> 18 H

-ADU stellt Daten bereit, gibt an Port3 an, dass Daten vorliegen

-über Port1 wird eingelesen und über RDY wird signalisiert das Vorgang abgeschlossen ist und neue Daten empfangen werden können

### 10.Cache Speicher (Pufferspeicher)

-Cache besteht aus 2 Speichereinheiten (Adressspeicher und Datenspeicher)

Adressspeicher: RAM Adressen Datenspeicher: dazugehörige Daten

-Lesen von RAM Adresse --> Überprüfung ob Adresse bereits im Cache Ja? Daten aus Cache-Datenspeicher Nein? Daten werden aus RAM gelesen, gleichzeitig RAM Adresse und Daten im Cache abgelegt

-Schreiben 2 Verfahren:

-Durchschreibverfahren : Jedes Schreiben in den Cache wird gleichzeitig im RAM ausgeführt (langsam da Cache schneller als RAM -->warten)

-Rückschreibverfahren: Schreiben in Cache, Daten werden durch CPU gekennzeichnet. Erst bei Verdrängung durch neue Daten, werden diese in den RAM geschrieben. Verfahren entlastet Systembus